# 计算机组织与体系结构实习 Lab 1.2

实习目的

1. 通过本lab，以RISC-V ISA的各类处理器为例，了解并掌握比较方法和思路。
2. 深刻理解性能公式，并改变指令系统、微结构等因素，利用公式分析可能产生的影响。
3. 阅读2021年CF论文《A Comparative Survey of Open-Source Application-Class RISC-V Processor Implementations》，完成下述实验，回答下列问题。
   1. 请根据文中给出的或网上查阅的资料，填写下表。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **处理器名称** | **Rocket** | **BOOM** | **CVA6** | **SHAKTI** |
| 支持的ISA | RV64G & RV32G（支持 MAFDC扩展） | RV64GC  （支持MAFDC拓展） | RV64GC  （支持MAFDC拓展） | RV32I & RV64I (支持MAFDC) |
| 基本特性，比如顺序/乱序、流水级数等 | - 顺序执行  -标量 - 5 级流水线 - 支持分支预测（BTB/BHT/RAS） - 可选非阻塞 L1D 缓存 | - 乱序执行  -超标量 - 10 级流水线 - 复杂分支预测（NLP/TAGE）  - 双端口缓存 | -顺序执行  -标量  - 6 级流水线  - 分支预测（BTB/BHT/RAS）  - 优化缓存设计 | - 顺序执行 - 5 级流水线  - GShare 分支预测 |
| Git contribution (community activity) | - 高活跃度（Chipyard 框架集成） - 贡献者多（RISC-V 生态核心项目） | - 中等活跃度（基于 Rocket 生态） - 贡献者较多（学术研究导向） | - 较高活跃度（OpenHW Group 维护） - 社区逐步增长 | - 较低活跃度（印度 IIT Madras 主导） - 贡献者较少 |
| Google Scholar hits (academic impact) | - 最高（UC Berkeley 起源，广泛采用） - 多篇论文引用（如 Rocket Chip Generator） | - 较高（作为首个开源 OoO RISC-V 实现） - 学术研究热点（如 BOOMv3 优化） | - 中等（多次流片验证，工业界关注） - 欧洲学术界合作项目 | - 较低（主要聚焦印度本土生态） - 少量公开研究 |
| FPGA Boards (technology support) | 有一定支持（因特尔，AWS）  RocketBoards.org | - 一定支持（需复杂配置） - 依赖 Chipyard 生态 | - 一定支持 - 已验证多款 Xilinx/Intel FPGA | - 较少支持（自有 shakti-soc 框架） - 特定开发板验证 |
| Tapeouts (technology support especially documents) | - 最多流片（如 SiFive U54 @ TSMC 28nm） - 商用 IP 核心（SiFive 提供） | - 1 次流片（BROOM @ TSMC 28nm） - 高性能验证 | - 6 次流片（如 Poseidon @ GF 22FDX） - 多工艺验证（22nm/65nm） | - 2 次流片（RIMO @ SCL 180nm、RISECREEK @ Intel 22nm） |

2、本文选择应用级处理器作为比较对象，请解释什么是应用级处理器（Application-class processor），并说明这样选择的优点和不足。

本文应用级处理器指:

1. 是字长64位RV64I架构实现
2. 可适配一个UNIX系的操作系统

此外应用级处理器一般还具有特权模式、原子操作支持、虚拟内存管理、多级缓存管理等特性。

**选择应用级处理器作为比较对象的优点**

1. ​**实际场景的代表性**​
   * 应用级处理器面向通用计算任务（如服务器、桌面应用），能够运行完整的操作系统和复杂软件栈（如编译器、数据库）。这种场景下的性能（如IPC、能效）更具实际参考价值。
   * 支持UNIX系统意味着处理器需满足严格的功能需求（如虚拟内存、多任务隔离），便于评估其设计成熟度。
2. ​**统一的比较基准**​
   * 所有被选处理器均基于RV64I架构，并支持相同的操作系统，避免了指令集差异对性能评估的影响。
   * 统一的配置参数（如缓存大小、分支预测器深度）确保比较的公平性。
3. ​**学术与工业应用的平衡**​
   * 应用级处理器既用于学术研究（如BOOM的OoO设计），也被工业界采用（如SiFive U54核）。比较结果对两类用户均有指导意义。
4. ​**技术验证的全面性**​
   * 需同时评估FPGA和ASIC实现，体现处理器在不同技术平台下的适应性（如资源占用、频率上限）。

**选择应用级处理器的不足**

1. ​**忽略轻量级场景需求**​
   * 应用级处理器复杂度较高（如多级流水线、缓存层次），可能不适用于嵌入式或低功耗场景（如IoT设备）。此类场景更关注能效比而非峰值性能。
2. ​**配置参数的影响**​
   * 尽管统一了部分参数（如缓存大小），但不同处理器的微架构差异（如分支预测算法、流水线深度）可能导致结果偏向特定设计，难以完全公平比较。
3. ​**评估复杂度高**​
   * 运行完整操作系统需复杂的软硬件协同（如外设驱动、中断控制器），可能引入额外性能开销，模糊处理器核心的真实能力。
4. ​**技术依赖性问题**​
   * 结果受限于具体技术平台（如Xilinx Virtex FPGA和22FDX ASIC），其他工艺或FPGA家族的结论可能不同。

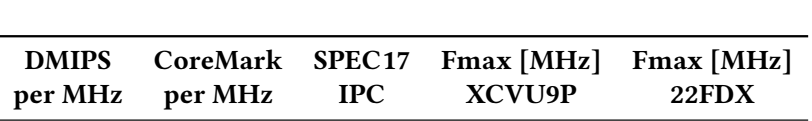
3、请阐述文中对四个处理器进行比较时采用的思路和方法，并举例说明。

思路和方法是统一的，以下一并说明（附例子）：

1. 为消除平台差异提供公平比较：使用统一的FPGA平台部署并仔细设定相同的FPGA综合、布线的配置，ASIC也使用相同工艺。例：所有处理器均在Xilinx Virtex UltraScale+ XCVU9P FPGA上实现，使用相同评估板（VCU118），关闭所有框架的优化选项（如shakti-soc的功耗优化），统一采用GlobalFoundries 22FDX工艺，使用相同标准单元库（INVECAS 12T BASE）和内存编译器生成定制宏单元。
2. 需要进行全方位的比较：采取运行时表现(processing performance), 片面积(occupied area, 反映花费), 能效(energy efficiency)等多种指标。 举例：运行时表现采用了标准的performance benchmark如SPEC2017, 面积分Core Area和SoC Area 比较，能效主要采用PMBus方法；同时分FPGA和ASIC双平台对比。举例：揭示设计特性对实现的影响，如BOOM在ASIC因高效内存宏单元实现高频，但FPGA因跨SLR布局导致频率受限。

4、第五章中使用性能、面积和能效作为评价指标，对上述四个处理器进行比较，得到结论。试回答：

1）对性能进行比较时，采用下图中参数作为评价指标，试一一解释。

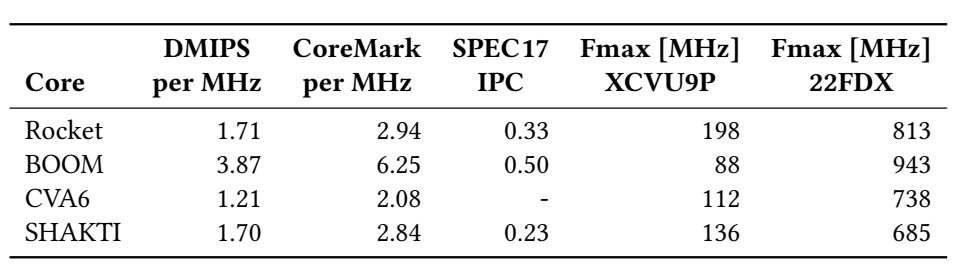


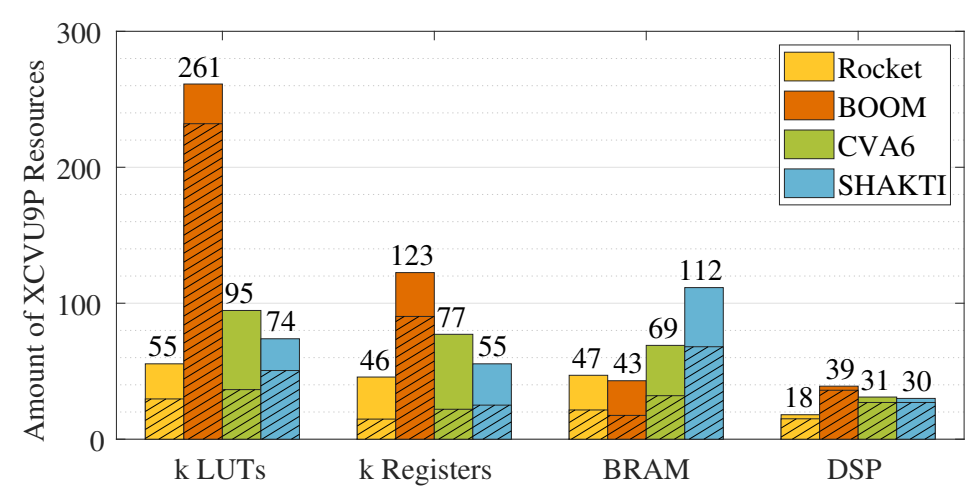
1. ​**DMIPS per MHz**​
   * ​**定义**：每兆赫兹时钟频率可实现的Dhrystone百万指令数（DMIPS），反映**基础指令执行效率**。
   * ​**用途**：用于对比不同架构在相同频率下的纯计算能力
2. ​**CoreMark per MHz**​
   * ​**定义**：每兆赫兹的CoreMark分数，衡量**综合性能表现**​（包含整数运算、内存访问等混合负载）。
   * ​**用途**：评估处理器处理复杂任务的能力
3. ​**SPEC17 IPC**​
   * ​**定义**：SPEC CPU 2017测试中的**平均指令每周期数（IPC）​**，代表**实际负载下的并行处理能力**。
   * ​**用途**：揭示处理器在高强度计算中的效率差异
4. ​**Fmax [MHz] XCVU9P**​
   * ​**定义**：在**Xilinx Virtex UltraScale+ XCVU9P FPGA**平台上实现的最大稳定频率。
5. ​**Fmax [MHz] 22FDX**​
   * ​**定义**：在**GlobalFoundries 22FDX ASIC工艺**下实现的最大频率。

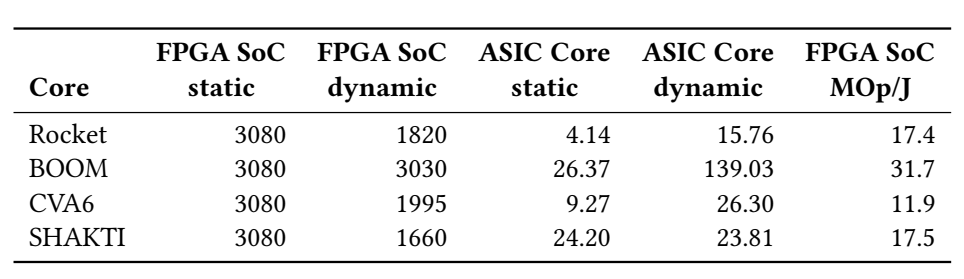
2）对能效进行比较时，对比了功耗（power consumption）和能效（energy efficiency），通过论文或查阅资料，解释他们的异同。

| **​维度​** | **​功耗​** | **​能效​** |
| --- | --- | --- |
| ​**定义维度**​ | 绝对能耗（单位时间消耗的能量） | 相对效率（有效产出与能耗的比值） |
| ​**衡量指标**​ | 瓦特（W）、千瓦时（kWh） | 能效比（如EER、COP）、性能功耗比 |
| ​**应用侧重点**​ | 设备运行时的即时能耗 | 长期能源利用效率的优化 |
| ​**技术改进方向**​ | 降低瞬时功率（如优化电路设计） | 提升单位能耗的产出（如智能温控系统） |
| ​**经济影响**​ | 直接影响短期电费成本 | 影响长期能源成本与设备投资回报率 |

3）看下面的图表，尝试分析BOOM处理器的特点。







BOOM处理器是这四款处理器中唯一的超标量乱序处理器。

1. 性能表现：
2. 单位频率指令数benchmark (IPC)优势显著，和其余处理器相比大约有2倍以上的性能。这可能是因为BOOM是这四款处理器中唯一的超标量乱序处理器。
3. 频率方面，在FPGA平台最慢，但在ASIC部署最快。文中给出了如下分析：BOOM是唯一一个在Virtex设备中跨越两个超级逻辑区（SLRs）的设计，这要求在FPGA实现中进行分割; BOOM非常严格地实例化数组，这些数组可以转换成内存宏，从而允许有效的ASIC实现。
4. 资源使用(FPGA平台)：整体资源使用较高，尤其是LUT和REG资源。这大概是超标量乱序深流水的复杂设计导致的。
5. 能源方面
6. 能耗上由于其最高的相对复杂性在FPGA和ASIC两种平台均具有最高的静/动态功耗。
7. 能效上在AISC平台遥遥领先。其在ASIC上通过高IPC与高频率实现能效优势，适合计算密集型任务。
8. 分析下列指令系统、微结构等方面的变化，对程序中的指令数目、CPI、时钟周期以及整体性能的影响。如有影响，请在下表内写明提升（增加）或降低（减少）或不确定，并说明原因。如无影响，请写无影响并说明原因。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | 程序中的指令数 | CPI | 时钟周期 | 整体性能 |
| 1 | ISA中增加一条复杂指令 | 减少：可以替代多条简单指令降低程序指令数 | 增加：复杂指令需要周期数一般较多 | 不确定：可能需要硬件增加复杂度延长周期以支持复杂指令，也可能不需要 | 不确定：指令数提高性能，CPI，（时钟周期）降低性能 |
| 2 | 减少处理器中的通用寄存器数量 | ​增加：会导致更多的L/S指令 | 增加：对缓存依赖增强缓存缺失率提高，CPI增加 | 无影响：大概率不影响关键路径 | 降低：程序指令数和CPI导致降低性能 |
| 3 | 改善存储访问速度 | 无影响：指令层看不到访存时间 | 降低：降低了缓存缺失的惩罚 | 无影响：没有如何改善的信息，但一般不影响 | 提高：主要是CPI的影响 |
| 4 | 保持原有的32位指令系统，并为常用功能添加16位指令系统 | 减小：对于16位操作的程序可减少指令数 | 不确定：如果为16位指令增添专用硬件部分可能降低，否则不变 | 无影响：一般不会影响关键路径 | 提高：主要是程序指令数的影响 |
| 5 | 在CISC处理器的微结构实现中，将CISC指令先分解成RISC类指令（微操作），然后再译码执行。 | 无影响：处理器内部改变不影响程序，依然采用CISC指令集 | 降低：一般RISC简单指令平均周期少于CISC指令（这里认为I是指分解后的RISC指令） | 增加（大概）：使译码逻辑更加复杂，可能位于关键路径 | 不确定：CPI有利于性能提高，但是周期不利于性能 |